

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
6. Oktober 2005 (06.10.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/093950 A1**

(51) Internationale Patentklassifikation: **H03H 7/12,**  
**H04R 25/00, G10L 11/00**

(21) Internationales Aktenzeichen: **PCT/DE2005/000156**

(22) Internationales Anmeldedatum:  
1. Februar 2005 (01.02.2005)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:  
10 2004 013 952.0 22. März 2004 (22.03.2004) **DE**

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **INFINEON TECHNOLOGIES AG [DE/DE];** St.-  
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HEMMERT, Werner**

[DE/DE]; Kanalstr. 12, 85368 Moosburg (DE). **HOLM-  
BERG, Marcus [SE/SE];** Klövern. 5, S-331 42 Värnamo  
(SE).

(74) Anwalt: **DOKTER, Eric-Michael;** Viering, Jentschura &  
Partner, Steinsdorfstr. 6, 80538 München (DE).

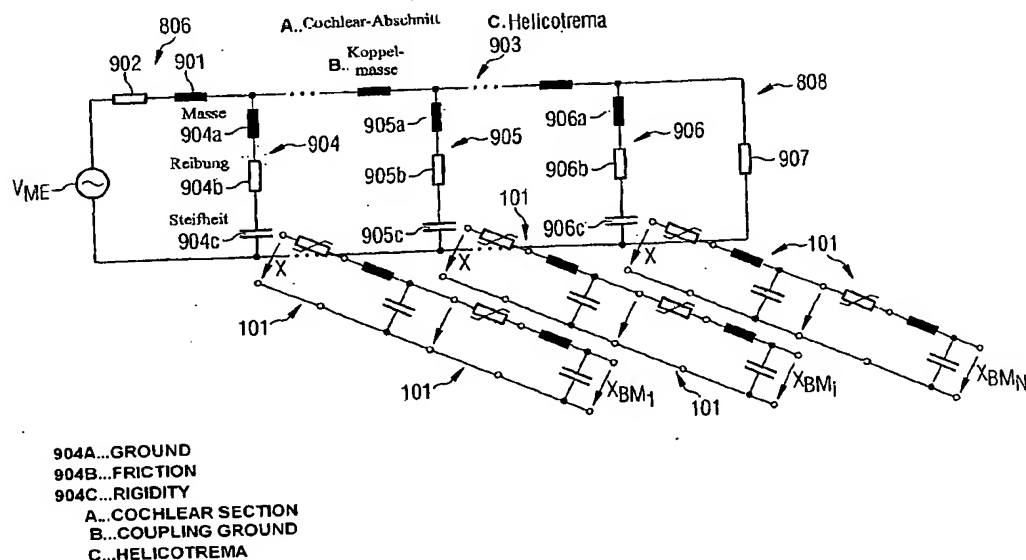
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart): **AE, AG, AL,**  
**AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,**  
**CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,**  
**GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,**  
**KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,**  
**MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,**  
**PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ,**  
**TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,**  
**ZM, ZW.**

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare regionale Schutzrechtsart): **ARIPO (BW,**

[Fortsetzung auf der nächsten Seite]

(54) Title: **CIRCUIT ARRANGEMENT AND SIGNAL PROCESSING DEVICE**

(54) Bezeichnung: **SCHALTKREIS-ANORDNUNG UND SIGNALVERARBEITUNGS-VORRICHTUNG**



(57) Abstract: The circuit arrangement comprises a number of filter stages of a filter bank as well as a number of resonator circuits. The circuit arrangement also contains a resonator control circuit for controlling or regulating the quality of the resonator circuits. This resonator control circuit is configured so that it controls or regulates the quality of at least one resonator circuit according to the amplitude of the input signal and/or of the output signal of the resonator circuit.

[Fortsetzung auf der nächsten Seite]

WO 2005/093950 A1



GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**Veröffentlicht:**

— mit internationalem Recherchenbericht

(57) **Zusammenfassung:** Die Schaltkreis-Anordnung weist eine Mehrzahl von Filterstufen einer Filterbank auf sowie eine Mehrzahl von Resonator-Schaltkreisen. Ferner enthält die Schaltkreis-Anordnung einen Resonator-Steuer-Schaltkreis zum Steuern oder Regeln der Güte der Resonator-Schaltkreise, wobei der Resonator-Steuer-Schaltkreis derart eingerichtet ist, dass er die Güte mindestens eines Resonator-Schaltkreises abhängig von der Amplitude des Eingangssignals und/oder des Ausgangssignals des Resonator-Schaltkreises steuert oder regelt.